

(19)日本特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-147988

(43)公開日 平成8年(1996)6月7日

(51)Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 C 16/06

H 0 1 L 27/04

21/822

G 1 1 C 17/ 00

3 0 9 F

H 0 1 L 27/ 04

U

審査請求 未請求 請求項の数 6 O L (全 12 頁) 最終頁に続く

(21)出願番号 特願平6-283779

(22)出願日 平成6年(1994)11月17日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 荒瀬 謙士朗

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

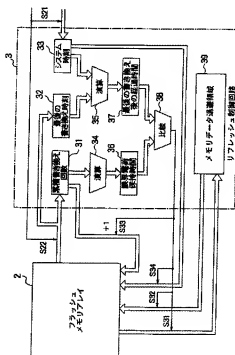
(74)代理人 弁理士 佐藤 隆久

(54)【発明の名称】 半導体不揮発性記憶装置

(57)【要約】

【目的】 繰り返し書き換え後の電荷保持特性の悪化を防止で、信頼性の大幅な向上を図れる半導体不揮発性記憶装置を実現できる。

【構成】 演算回路34でレジスタ31の累積書き換え回数等の情報等に基づきメモリの限界電荷保持時間を得、演算回路35でレジスタ32の最後の書き換え時刻およびレジスタ33のシステム時刻の情報に基づき最後の書き換え後の経過時間を得、比較回路38で限界電荷保持時間および最後の書き換え後の経過時間の情報を比較することによりリフレッシュ動作を行うべきかどうかを判断する。そして、リフレッシュする場合には、フラッシュメモリアレイ2のデータをメモリデータ退避領域39に一時退避させて、フラッシュメモリアレイ2内のデータの一括消去を行い、次にメモリデータ退避領域39に一時退避させておいたフラッシュメモリアレイ2のデータをフラッシュメモリアレイ2に再書き込みする。



1

【特許請求の範囲】

【請求項1】 メモリセルに対して電気的に書き込み消去を行うことにより、一定の回数、繰り返し書き換えの

できる半導体不揮発性記憶装置であって、最後の書き換え時からの経過時間と指定された限界電荷保持時間とを比較し、比較結果に応じてメモリセルに対し再度の書き換えを行うリフレッシュ回路を有する半導体不揮発性記憶装置。

【請求項2】 上記リフレッシュ回路は、最後の書き換え時刻を記録する記録手段と、この記録手段の記録時刻からの経過時間を得る手段と、あらかじめ設定された限界電荷保持時間と上記経過時間とを比較し、比較結果に応じてメモリセルに対し再度の書き換えを行う比較手段とを有する請求項1記載の半導体不揮発性記憶装置。

【請求項3】 メモリセルに対して電気的に書き込み消去を行うことにより、一定の回数、繰り返し書き換えのできる半導体不揮発性記憶装置であって、メモリセルに対する累積書き換え回数から限界電荷保持時間を得、この限界電荷保持時間と最後の書き換え時からの経過時間とを比較し、比較結果に応じてメモリセルに対し再度の書き換えを行うリフレッシュ回路を有する半導体不揮発性記憶装置。

【請求項4】 上記リフレッシュ回路は、累積書き換え回数を記録する第1の記録手段と、最後の書き換え時刻を記録する第2の記録手段と、上記第1の記録手段に記録された累積書き換え回数に基づいて限界電荷保持時間を得る手段と、上記第2の記録手段の記録時刻からの経過時間を得る手段と、上記限界電荷保持時間と上記経過時間とを比較し、比較結果に応じてメモリセルに対し再度の書き換えを行う比較手段とを有する請求項1記載の半導体不揮発性記憶装置。

【請求項5】 上記記録部が各ワード線セクタ毎に設けられ、上記書き換え動作はワード線セクタ毎に行われる請求項1、2、3または4記載の半導体不揮発性記憶装置。

【請求項6】 上記記録部はメモリアレイ領域を複数に分割した各ブロック毎に設けられ、上記書き換え動作は各ブロック毎に行われる請求項1、2、3または4記載の半導体不揮発性記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、電気的に書き換え可能な不揮発性メモリ、たとえばフラッシュEEPROMなどの半導体不揮発性記憶装置に関するものである。

【0002】

【従来の技術】 電気的に書き込み消去を行うことにより、ある一定の回数、繰り返し書き換えのできることを保証した半導体不揮発性記憶装置、たとえばフラッシュEEPROMでは、データ書き換え後のフローティングゲート中の電荷保持特性を保証することが、製品の信頼

2

性上、非常に重要である。

【0003】 図15は、フラッシュEEPROMの書き換え後のフローティングゲート中に蓄積された電荷の保持特性を示す図である。図15において、横軸はある一定温度、たとえば 125°C での放置時間、縦軸は書き込み状態でしきい値電圧 V_{th-W} を表している。また、図中 $R1$ 、 $R2$ 、 $R3$ 、 $R4$ に対応する特性は、繰り返し書き換え回数がそれぞれ $N1$ 、 $N2$ 、 $N3$ 、 $N4$ 回後の特性であり、 $N1 < N2 < N3 < N4$ である。

【0004】 一般的なチャンネルホットエレクトロン(CHE)書き込み/FN(Fowler Nordheim)消去型フラッシュEEPROMの場合、書き込み状態でフローティングゲート中に電子が注入されており、その注入電子は放置時間の進行とともに減少する。そのため、書き込み状態でのしきい値電圧 V_{th} が低下し、場合によっては、いわゆるリテンション不良と呼ばれる信頼性不良を生ずる可能性がある。

【0005】 その特性は、図15に示すように、累積の繰り返し書き換え回数が大きいほど、電荷保持特性が悪く、 $R1$ 、 $R2$ 、 $R3$ 、 $R4$ に対応する特性において、ある一定量のしきい値電圧 V_{th-W} の低下 ΔV_{th-W} を生じるのに必要な時間 $t1$ 、 $t2$ 、 $t3$ 、 $t4$ は、 $t1 > t2 > t3 > t4$ である。図15に示すような繰り返し書き換え後の電荷保持特性は、フラッシュEEPROMの信頼性に非常に重要であり、従来、おのおの書き換え後10年間保証するのが一般的であった。

【0006】

【発明が解決しようとする課題】 ところが、フラッシュEEPROMの微細化、特にトンネル酸化膜の薄膜化にともない、いわゆる、ストレスに起因するトンネル酸化膜の劣化によるリーク電流の発生現象により、図15に示すように繰り返し書き換え後の電荷保持特性の悪化が顕著になってきている。この現象は、トンネル酸化膜を薄膜化していくと、さらに指数関数的に激しくなっていくことが知られており、今後、フラッシュEEPROMの電荷保持特性を、おのおの書き換え後10年間にわたり保証していくことは、困難になっていくものと予想される。

【0007】 本発明は、かかる事情に鑑みてなされたものであり、その目的は、繰り返し書き換え後の電荷保持特性の悪化を防止でき、信頼性の大幅な向上を図れる半導体不揮発性記憶装置を提供することにある。

【0008】

【課題を解決するための手段】 上記目的を達成するために、本発明は、メモリセルに対して電気的に書き込み消去を行うことにより、一定の回数、繰り返し書き換えのできる半導体不揮発性記憶装置であって、最後の書き換え時からの経過時間と指定された限界電荷保持時間とを比較し、比較結果に応じてメモリセルに対し再度の書き換えを行うリフレッシュ回路を有する。

3

【0009】また、上記リフレッシュ回路は、最後の書き換え時刻を記録する記録手段と、この記録手段の記録時刻からの経過時間を得る手段と、あらかじめ設定された限界電荷保持時間と上記経過時間とを比較し、比較結果に応じてメモリセルに対し再度の書き換えを行う比較手段とを有する。

【0010】また、本発明は、メモリセルに対して電気的に書き込み消去を行うことにより、一定の回数、繰り返し書き換えのできる半導体不揮発性記憶装置であって、メモリセルに対する累積書き換え回数から限界電荷保持時間を得、この限界電荷保持時間と最後の書き換え時刻からの経過時間とを比較し、比較結果に応じてメモリセルに対し再度の書き換えを行うリフレッシュ回路を有する。

【0011】また、上記リフレッシュ回路は、累積書き換え回数を記録する第1の記録手段と、最後の書き換え時刻を記録する第2の記録手段と、上記第1の記録手段に記録された累積書き換え回数に基づいて限界電荷保持時間を得る手段と、上記第2の記録手段の記録時刻からの経過時間とを比較し、比較結果に応じてメモリセルに対し再度の書き換えを行う比較手段とを有する。

【0012】さらに、本発明の半導体不揮発性記憶装置では、上記記録部が各ワード線セクタ毎に設けられ、上記書き換え動作はワード線セクタ毎に行われる。また、本発明の半導体不揮発性記憶装置では、上記記録部はメモリアレイ領域を複数に分割した各ブロック毎に設けられ、上記書き換え動作は各ブロック毎に行われる。

【0013】

【作用】本発明の半導体不揮発性記憶装置によれば、記録手段に記録された最後の書き換え時刻に基づいて、定期的または任意的に最後の書き換え後の経過時間が得られる。そして、比較手段において、この経過時間とあらかじめ設定されたメモリセルの限界電荷保持時間との比較が行われ、その結果によりリフレッシュ動作が行われる。

【0014】また、本発明の半導体不揮発性記憶装置によれば、累積書き換え回数が第1の記録手段に記録され、最後の書き換え時刻が第2の記録手段に記録される。第1の記録手段に記録された累積書き換え回数に基づいてメモリセルの限界電荷保持時間を得られ、第2の記録手段に記録された最後の書き換え時刻に基づいて、定期的または任意的に最後の書き換え後の経過時間が得られる。そして、比較手段において、経過時間とメモリセルの限界電荷保持時間との比較が行われ、その結果によりリフレッシュ動作が行われる。

【0015】また、本発明の半導体不揮発性記憶装置によれば、ワード線セクタ毎に書き換え動作を行う場合には、各ワード線毎に上記動作が行われる。このため、各ワード線セクタ毎の信頼性を大幅に向上させることができ

4

る。

【0016】また、本発明の半導体不揮発性記憶装置によれば、メモリアレイ領域が複数のメモリ領域に分割されそれぞれのブロック毎に書き換え動作を行う場合には、各ブロック毎に上記動作が行われる。

【0017】

【実施例】図1は、本発明に係わる半導体不揮発性記憶装置、具体的にはCHE書き込み/FN消去型フラッシュEPROMの書き込み時のバイアス条件を示す図である。また、図2は消去時のバイアス条件を示す図である。

【0018】図1および図2において、 WL_{m-1} 、 WL_m 、 WL_{m+1} はワード線、 BL_{n-1} 、 BL_n 、 BL_{n+1} はビット線、 SRL は共通ソース線、 $MT_{m-1, n-1}$ 、 $MT_{m-1, n}$ 、 $MT_{m-1, n+1}$ 、 $MT_{m, n-1}$ 、 $MT_{m, n}$ 、 $MT_{m, n+1}$ 、 $MT_{m+1, n-1}$ 、 $MT_{m+1, n}$ 、 $MT_{m+1, n+1}$ はメモリセルをそれぞれ示している。

【0019】図1の書き込み例においては、実線で囲んだメモリセル $MT_{m, n}$ にデータ書き込みを行う場合、選択するワード線 WL_m に1.2V、選択するビット線 BL_n に7Vを印加し、その他のワード線 WL_{m-1} 、 WL_{m+1} と、ビット線 BL_{n-1} 、 BL_{n+1} および共通ソース線 SRL には0Vを印加する。その結果、選択されたメモリセル $MT_{m, n}$ にのみ、チャネルホットエレクトロン(CHE)により、フローティングゲート中に電子が注入されて、しきい値電圧 V_{th} は5V以上を上昇する。

【0020】図2の消去例においては、全メモリセル一括消去を行う場合である。この場合、全てのワード線 WL_{m-1} 、 WL_m 、 WL_{m+1} に0V、全てのビット線をフローティング状態にバイアスして、共通ソース線 SRL に1.2Vを印加する。その結果、フローティングゲート中の電子がFNトンネリングによりソース側から引き抜かれて、しきい値電圧 V_{th} は1V〜2V程度になる。

【0021】図3(a)、(b)は、図1および図2に示すメモリアレイの書き込み、消去動作による繰り返し書き換え動作時に、累積書き換え回数および最後の書き換え時刻を記録するための記録部を、メモリアレイ領域内の一部に設けた2種類の具体例を示す図である。

【0022】図3(a)は、メモリアレイ領域内に設けられた記録部が、メモリアレイ内の通常の1ワード線に接続されたメモリセルの場合である。図3(a)において、 $WL_1 \sim WL_N$ は通常ワード線、 $BL_1 \sim BL_M$ はビット線、 WL_n は通常ワード線内に設けられた記録部のための1ワード線である。また、○は通常メモリとして用いるメモリセル、●は記録部として用いるメモリセルを表している。

【0023】図3(b)は、記録部が、メモリアレイに

5

補助的に設けられた1ワード線に接続されたメモリセルの場合である。図3(b)において、WL1~WLNは通常ワード線、BL1~BLMはビット線、WLCは通常ワード線外に設けられた記録部のための補助ワード線である。また、○は通常メモリとして用いるメモリセル、●は記録部として用いるメモリセルを表している。

【0024】なお、図3(a)および図3(b)は、メモリアレイ領域内に記録部を設ける場合の2種類の具体例であるが、これらに限定されるのではなく、その他の種々の態様に及ぶことはいうまでもない。

【0025】図4は、たとえば図3(a)および図3(b)のメモリアレイ領域内に設けられた記録部に、累積書き換え回数および最後の書き換え時刻の情報を記録する場合の、データ構造を示す図である。図4(a)は、最後の書き換え時刻を記録するためのデータ構造であり、たとえば、1994年7月26日15時36分52秒の情報においては、年のデータに7ビット、月のデータに4ビット、日のデータに5ビット、時のデータに5ビット、分のデータに6ビット、秒のデータに6ビット、合計33ビットのメモリセルを必要とする。

【0026】図4(b)は、累積書き換え回数を記録するためのデータ構造であり、たとえば、繰り返し書き換えが10000回まで行うことができるフラッシュEEPROMの場合、14ビットのメモリセルを必要とする。

【0027】図5は、本発明のフラッシュメモリアレイを含むシステムを、簡単に示したブロック図であり、たとえば、携帯用電子機器に適用される電子回路である。図5において、1は主電子回路ブロックを示し、この主電子回路ブロック1はフラッシュメモリ2およびフラッシュメモリ2に対して再度書き込みを行うリフレッシュ動作を制御するためのリフレッシュ制御回路3を有している。また、4はシステム時刻を刻むタイマ、5はタイマ4の計時に基づく一定時刻毎に電子回路ブロック1に割り込みを行うためのタイマ制御回路をそれぞれ示し、これらタイマ4およびタイマ制御回路5は常時動作しており、電源が切られることはない。

【0028】図5の例においては、タイマ4がある一定の時刻を計時する毎に、タイマ4の出力信号S1を受けたタイマ制御回路5は、主電子回路ブロック1に割り込みをかけた電源動作状態にして、信号S2によりリフレッシュ制御回路3を動作させる。さらに、リフレッシュ制御回路3は信号S3によりフラッシュメモリアレイ2をリフレッシュする。

【0029】図6は、図5のブロック図において、リフレッシュ制御回路3を中心とするより詳細な回路図における、第1の実施例を示す図である。第1の実施例は、フラッシュメモリアレイ内に記録された情報が、累積書き換え回数と最後の書き換え時刻の両方の場合の例を示す図である。

6

【0030】図6において、31は累積書き換え回数を記憶するためのレジスタ、32は最後の書き換え時刻を記憶するためのレジスタ、33はシステム時刻を記憶するためのレジスタ、34は累積書き換え回数の情報に基づきメモリセルの限界電荷保持時間を演算するための演算回路、35はレジスタ32の最後の書き換え時刻およびレジスタ33のシステム時刻の情報に基づき最後の書き換え後の経過時間を演算するための演算回路、36はその限界電荷保持時間を記憶するためのレジスタ、37はその最後の書き換え後の経過時間を記憶するためのレジスタ、38はレジスタ36の限界電荷保持時間およびレジスタ37の最後の書き換え後の経過時間の情報を比較することによりリフレッシュ動作を行うべきかどうかを判断するための比較回路、39はリフレッシュ動作時にフラッシュメモリアレイ2のデータを一時退避させるためのメモリデータ退避領域をそれぞれ示している。

【0031】図6の例においては、図5のタイマ制御回路5より信号S21を受けレジスタ33にシステム時刻を記憶し、信号S22を受けフラッシュメモリアレイ2領域内の記録部に記録された情報を読み出し、累積書き換え回数の情報をレジスタ31に、最後の書き換え時刻の情報をレジスタ32に記憶する。続いて、演算回路34はレジスタ31の累積書き換え回数の情報およびたとえば図示しないROMに記憶されている限界電荷保持時間テーブルの情報に基づきメモリセルの限界電荷保持時間を演算しレジスタ36に記憶し、演算回路35はレジスタ32の最後の書き換え時刻およびレジスタ33のシステム時刻の情報に基づき最後の書き換え後の経過時間を演算しレジスタ37に記憶する。

【0032】続いて、比較回路38はレジスタ36の限界電荷保持時間およびレジスタ37の最後の書き換え後の経過時間の情報を比較することによりリフレッシュ動作を行うべきかどうかを判断する。もし比較回路38がリフレッシュするべきであると判断した場合には、まず信号S31によりフラッシュメモリアレイ2のデータをメモリデータ退避領域39に一時退避させる。続いて、フラッシュメモリアレイ2内のデータの一括消去を行い、次に信号S32により、メモリデータ退避領域39に一時退避させておいたフラッシュメモリアレイ2のデータをフラッシュメモリアレイ2に再書き込みする。続いて、信号S33により、レジスタ31に記憶してある累積書き換え回数のデータをインクリメントしてフラッシュメモリアレイ2内に設けられたしるべき記録部に書き込みを行い、信号S34により、レジスタ33に記憶してあるシステム時刻を最後の書き換え時刻としてフラッシュメモリアレイ2内に設けられたしるべき記録部に書き込む。

【0033】図7は、図6における演算回路34が、累積書き換え回数に応じたメモリセルの限界電荷保持時間を演算するときの一例を示す図である。図7において、

7

横軸は累積書き換え回数 N を、縦軸は限界電荷保持時間 T をそれぞれ示している。

【0034】図7の例においては、累積書き換え回数が $N1, N2, N3, \dots, Nn$ と増大するにともない、限界電荷保持時間がそれぞれ $T1, T2, T3, \dots, Tn$ と段階的に減少するように演算される。これらの情報は、たとえば上述のように、図示しないROMに限界電荷保持時間テーブルとしてあらかじめ記憶される。

【0035】図8は、図6の回路におけるリフレッシュ制御の動作を説明するためのフローチャートである。以下に、前述の説明と重複する部分もあるが、このフローチャートに従ってリフレッシュ制御動作を順を追って説明する。図6のリフレッシュ制御動作は、たとえば図8に示すように、まずシステム時刻を読み込み（SF1）、フラッシュメモリアレイ2内に記録された累積書き換え回数および最後の書き換え時刻を読み込む（SF2、SF3）。続いて、演算回路34においてレジスタ31に記憶された累積書き換え回数の情報によりメモリアルセルの限界電荷保持時間を演算し（SF4）、演算回路35においてレジスタ33に記憶されたシステム時刻とレジスタ32に保持された最後の書き換え時刻の情報により最後の書き換え後の経過時間を演算する（SF5）。

【0036】続いて、比較回路38において、レジスタ36に格納された限界電荷保持時間およびレジスタ37に格納された最後の書き換え後の経過時間の情報を比較することによりリフレッシュ動作を行うべきかどうかを判断する（SF6）。もしリフレッシュすべきであると判断した場合には、まずフラッシュメモリアレイ2のデータをメモリデータ退避領域39に一時退避させる（SF7）。続いて、フラッシュメモリアレイ2内のデータの一括消去を行い（SF8）、次にメモリデータ退避領域39に一時退避させておいたフラッシュメモリアレイ2のデータの再書き込みを行う（SF9）。続いて、累積書き換え回数のデータを+1だけインクリメントして再書き込みを行い（SF10）、システム時刻を最後の書き換え時刻として再書き込みを行う（SF11）。

【0037】図9は、図5のブロック図において、リフレッシュ制御回路3を中心とするより詳細な回路図における、第2の実施例を示す図である。第2の実施例は、フラッシュメモリアレイ内に記録された情報が、最後の書き換え時刻だけの場合の例を示している。

【0038】図9において、32は最後の書き換え時刻を記憶するためのレジスタ、33はシステム時刻を記憶するためのレジスタ、35はレジスタ32の最後の書き換え時刻およびレジスタ33のシステム時刻の情報に基づき最後の書き換え後の経過時間を演算するための演算回路、36aはあらかじめ設定された限界電荷保持時間

8

の情報データを記憶するレジスタ、37はその最後の書き換え後の経過時間を記憶するためのレジスタ、38はレジスタ36aの限界電荷保持時間およびレジスタ37の最後の書き換え後の経過時間の情報を比較することによりリフレッシュ動作を行うべきかどうかを判断するための比較回路、39はリフレッシュ動作時にフラッシュメモリアレイ2のデータを一時退避させるためのメモリデータ退避領域をそれぞれ示している。

【0039】図9の例においては、図5のタイマ制御回路5より信号S21を受けレジスタ33にシステム時刻を記録し、信号S22を受けフラッシュメモリアレイ2領域内の記録部に記録された最後の書き換え時刻の情報を読み出し、レジスタ32に記憶する。続いて、演算回路35は、レジスタ32の最後の書き換え時刻およびレジスタ33のシステム時刻の情報に基づき最後の書き換え後の経過時間を演算し、レジスタ37に記憶する。

【0040】続いて、比較回路38は、レジスタ36aの限界電荷保持時間およびレジスタ37の最後の書き換え後の経過時間の情報を比較することによりリフレッシュ動作を行うべきかどうかを判断する。もし比較回路38がリフレッシュすべきであると判断した場合には、まず信号S31によりフラッシュメモリアレイ2のデータをメモリデータ退避領域39に一時退避させる。続いて、フラッシュメモリアレイ2内のデータの一括消去を行い、次に信号S32により、メモリデータ退避領域39に一時退避させておいたフラッシュメモリアレイ2のデータをフラッシュメモリアレイ2に再書き込みする。続いて、信号S34により、レジスタ33に記憶してあるシステム時刻を最後の書き換え時刻としてフラッシュメモリアレイ3内に設けられたしるべ記録部に書き込む。

【0041】図10は、図9の回路におけるリフレッシュ制御の動作を説明するためのフローチャートである。図9のリフレッシュ制御動作は、図8に示す図6の回路のリフレッシュ制御動作のうち、ステップSF2、SF4およびステップSF10の動作が行われないものと等価となる。すなわち、まずシステム時刻を読み込み（SF1）、フラッシュメモリアレイ2内に記録された最後の書き換え時刻を読み込む（SF3）。続いて、演算回路35において、レジスタ33に記憶されたシステム時刻とレジスタ32に記憶された最後の書き換え時刻の情報により最後の書き換え後の経過時間を演算する（SF5）。続いて、比較回路38において、レジスタ36aに記憶されている限界電荷保持時間およびレジスタ37に記憶された最後の書き換え後の経過時間の情報を比較することによりリフレッシュ動作を行うべきかどうかを判断する（SF6）。もしリフレッシュすべきであると判断した場合には、まずフラッシュメモリアレイ2のデータをメモリデータ退避領域39に一時退避させる（SF7）。続いて、フラッシュメモリアレイ2内

9

のデータの一括消去を行い(SF8)、次にメモリーデータ退避領域39に一時退避させておいたフラッシュメモリアレイ2のデータの再書き込みを行う(SF9)。続いて、システム時刻を最後の書き換え時刻として再書き込みを行う(SF11)。

【0042】図11は、本発明に係る半導体不揮発性記憶装置、具体的にはCHE書き込み/FN消去型フラッシュEEPROMがワード線セクタ毎に書き換え動作を行う場合において、ワード線セクタ消去のバイアス条件を示す図である。本発明における半導体不揮発性記憶装置がこのような場合にも適用できるというわけではない。図11において、 WL_{m-1} 、 WL_m 、 WL_{m+1} はワード線、 BL_{n-1} 、 BL_n 、 BL_{n+1} はビット線、 SRL は共通ソース線、 MT_{m-1} 、 $n-1$ 、 MT_m 、 n 、 MT_{m+1} 、 $n+1$ 、 MT_m 、 $n-1$ 、 MT_m 、 n 、 MT_{m+1} 、 $n-1$ 、 MT_m 、 $n+1$ 、 MT_{m+1} 、 $n-1$ 、 MT_m 、 $n+1$ 、 MT_{m+1} 、 $n+1$ はメモリーセルをそれぞれ示している。

【0043】図11の消去例においては、ワード線 WL_m に連なるメモリーセルの消去を行う場合であり、選択するワード線 WL_m に $-10V$ 、その他の非選択ワード線 WL_{m-1} 、 WL_{m+1} に $0V$ 、全てのビット線 BL_{n-1} 、 BL_n 、 BL_{n+1} をフローティング状態にバイアスして、共通ソース線 SRL に $5V$ を印加する。その結果、選択ワード線 WL_m に連なるメモリーセル MT_m 、 $n-1$ 、 MT_m 、 n 、 MT_{m+1} 、 $n+1$ においてのみ、フローティングゲート中の電子がFNTトンネリングによりソース側から引き抜かれて、しきい値電圧 V_{th} は $1V \sim 2V$ 程度になる。

【0044】図12は、図11のワード線セクタ毎に書き換え動作を行うフラッシュEEPROMにおいて、累積書き換え回数および最後の書き換え時刻または最後の書き換え時刻を記録するための記録部を、メモリアレイ領域内の一部に設けた具体例を示す図である。図12に示す例は、メモリアレイに補助的に設けられた複数のビット線に接続されたメモリーセルに、それぞれのワード線セクタ毎の記録部を設けた場合である。なお、図12において、 $WL_1 \sim WL_N$ は通常ワード線、 $BL_1 \sim BL_M$ は通常ビット線、 $BC_1 \sim BC_J$ は通常ビット線外に設けられた記録部のための補助ビット線をそれぞれ示し、○は通常メモリとして用いるメモリーセル、●は記録部として用いるメモリーセルを表している。

【0045】図13は、本発明に係る半導体不揮発性記憶装置、具体的にはCHE書き込み/FN消去型フラッシュEEPROMが複数のブロックに分割され各ブロック毎に書き換え動作を行う場合において、ブロック消去のバイアス条件を示す図である。本発明における半導体不揮発性記憶装置がこのような場合にも適用できるというわけではない。

【0046】図13の例において、メモリアレイはMB

10

$LK11$ 、 $MBLK12$ 、 $MBLK21$ 、 $MBLK22$ の4ブロックに分割されている。また、図中、 $WL11 \sim WL1N$ 、 $WL21 \sim WL2N$ はワード線、 $BL11 \sim BL1M$ 、 $BL21 \sim BL2M$ はビット線、 $SRL11$ 、 $SRL12$ 、 $SRL21$ 、 $SRL22$ はそれぞれのブロックの共通ソース線を示している。

【0047】図13の消去例においては、メモリーブロック $MBLK12$ の消去を行う場合であり、全てのワード線 $WL11 \sim WL1N$ 、 $WL21 \sim WL2N$ は $0V$ 、全てのビット線 $BL11 \sim BL1M$ 、 $BL21 \sim BL2M$ をフローティング状態にバイアスして、選択するメモリーブロック $MBLK12$ の共通ソース線 $SRL12$ に $12V$ 、その他のメモリーブロック $MBLK11$ 、 $MBLK21$ 、 $MBLK22$ の共通ソース線 $SRL11$ 、 $SRL21$ 、 $SRL22$ に $0V$ を印加する。その結果、選択されたメモリーブロック $MBLK12$ 内のメモリーセルにおいてのみ、フローティングゲート中の電子がFNTトンネリングによりソース側から引き抜かれて、しきい値電圧 V_{th} は $1V \sim 2V$ 程度になる。

【0048】さらに、図14は、図13のブロック毎に書き換え動作を行うフラッシュEEPROMにおいて、累積書き換え回数および最後の書き換え時刻または最後の書き換え時刻を記録するための記録部を、各メモリーブロック領域内の一部、具体的にはメモリーブロック $MBLK12$ の一部に設けた具体例を示す図である。

【0049】図14に示す例は、メモリーブロック $MBLK12$ 内に設けられた記録部が、メモリアレイ内の通常の1ワード線に接続されたメモリーセルの場合である。なお、図14においては、図12と同様に、 $WL11 \sim WL1N$ は通常ワード線、 $BL21 \sim BL2M$ は通常ビット線、 $WL1n$ は通常ワード線内に設けられた記録部のための1ワード線をそれぞれ示している。また、○は通常メモリとして用いるメモリーセル、●は記録部として用いるメモリーセルを表している。

【0050】以上説明したように、本実施例によれば、メモリアレイ領域内の一部メモリー領域に、累積書き換え回数および最後の書き換え時刻を記録し、定期的または任意的に最後の書き換え後の経過時間を調べ、さらに当該経過時間と累積書き換え回数に応じて算出されたメモリーセルの限界電荷保持時間、あるいはあらかじめ設定されたメモリーセルの限界電荷保持時間との比較結果に応じて、メモリアレイのリフレッシュ動作を行うようにしたので、信頼性の大幅な向上が図れるだけでなく、さらなるトンネル酸化膜の薄酸化により、性能の大幅な向上を図れる半導体不揮発性記憶装置を実現できる。

【0051】【発明の効果】以上説明したように、本発明の半導体不揮発性記憶装置によれば、累積書き換え回数および最後の書き換え時刻を記録し、定期的または任意的に最後の書き換え後の経過時間を調べ、さらに当該経過時間と累

積書き換え回数に応じて算出されたメモリセルの限界電荷保持時間、あるいはあらかじめ設定されたメモリセルの限界電荷保持時間との比較結果に応じて、メモリアレイのリフレッシュ動作を行うことにより、信頼性の大幅な向上がはかれるだけでなく、さらなるトンネル酸化膜の薄膜化により、性能の大幅な向上を図れる利点がある。

【図面の簡単な説明】

【図1】 本発明のフラッシュEEPROMにおいて書き込み時のバイアス条件を示す図である。

【図2】 本発明のフラッシュEEPROMにおいて一括消去時のバイアス条件を示す図である。

【図3】 図2の一括消去を行うフラッシュEEPROMにおいてメモリアレイ領域内に設けた記録部の2種類の態様を示す図である。

【図4】 累積書き換え回数および最後の書き換え時刻の情報を記録する場合のデータ構造を示す図である。

【図5】 本発明に係るフラッシュEEPROMを含む携帯用電子機器の全システムの簡単なブロック図である。

【図6】 本発明においてリフレッシュ制御回路を中心とした第1の実施例を示す図である。

【図7】 図6において累積書き換え回数に応じたメモリセルの限界電荷保持時間を演算するときの一例を示す図である。

【図8】 図6のリフレッシュ制御回路の動作を説明するためのフローチャートである。

【図9】 本発明においてリフレッシュ制御回路を中心とした第2の実施例を示す図である。

【図10】 図9のリフレッシュ制御回路の動作を説明するためのフローチャートである。

【図11】 本発明のフラッシュEEPROMにおいて、ワード線セクタ消去時のバイアス条件を示す図である。

【図12】 図11のワード線セクタ消去を行うフラッシュEEPROMにおいて、各ワード線セクタ毎のメモリアレイ領域内に記録部を設けた一例を示す図である。

【図13】 本発明のフラッシュEEPROMにおいて、ブロック消去時のバイアス条件を示す図である。

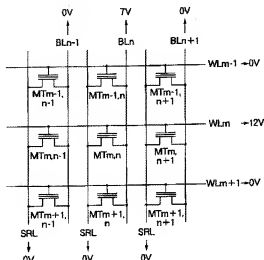
【図14】 図13のブロック消去を行うフラッシュEEPROMにおいて、各ブロック毎のメモリアレイ領域内に記録部を設けた一例を示す図である。

【図15】 フラッシュEEPROMにおける繰り返し書き換え後の電荷保持特性特性を示す図である。

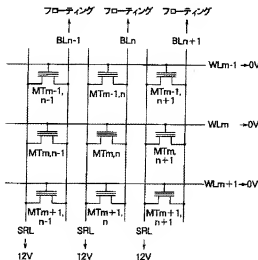
【符号の説明】

- 1…主電子回路ブロック
- 2…フラッシュメモリアレイ
- 3…リフレッシュ制御回路
- 4…タイマ
- 5…タイマ制御回路
- 31…累積書き換え回数を記録するためのレジスタ
- 32…最後の書き換え時刻を記憶するためのレジスタ
- 33…システム時刻を記憶するためのレジスタ
- 34…限界電荷保持時間を演算するための演算回路
- 35…最後の書き換え後の経過時間を演算するための演算回路
- 36…限界電荷保持時間を記憶するためのレジスタ
- 37…最後の書き換え後の経過時間を記憶するためのレジスタ
- 38…リフレッシュを行うかどうかを判断するための比較回路
- 39…メモリデータ退避領域

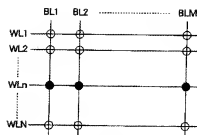
【図1】



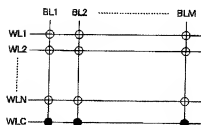
【図2】



【図3】

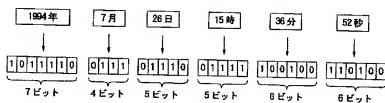


(a)



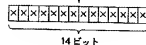
(b)

【図4】



(a)

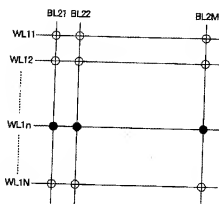
累積書き換え回数(限界10000回)



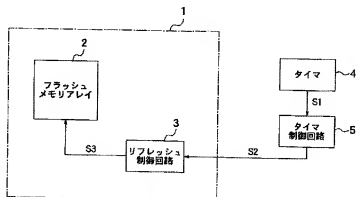
14ビット

(b)

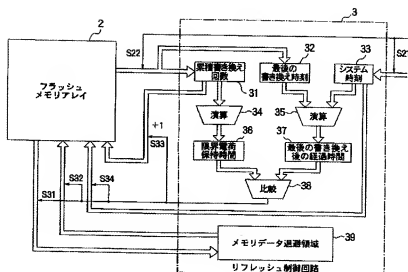
【図14】



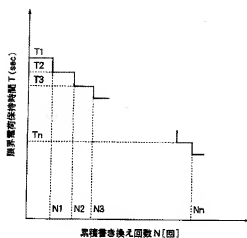
【図5】



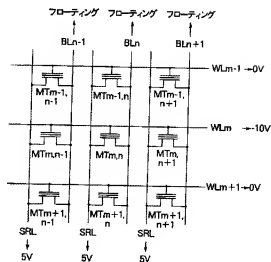
【図6】



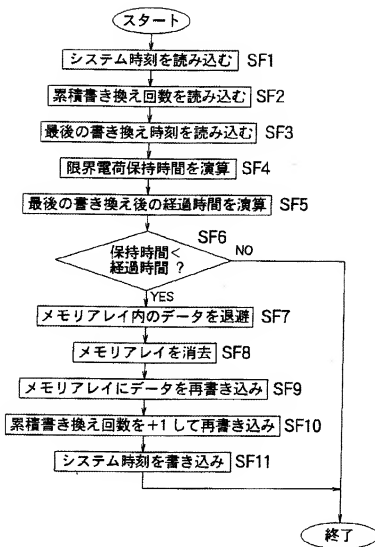
【図7】



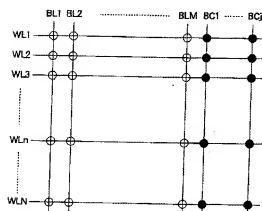
【図11】



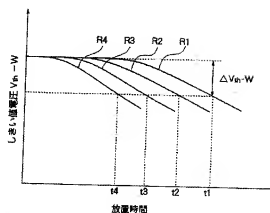
【図8】



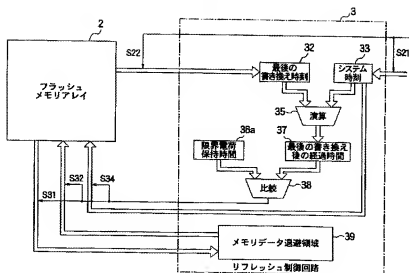
【図12】



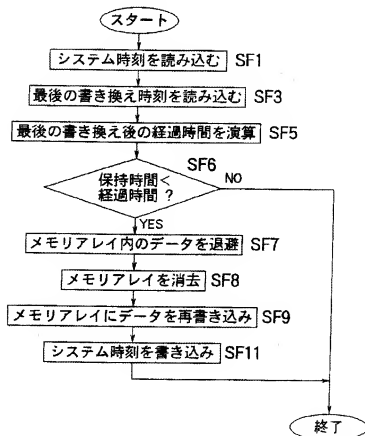
【図15】



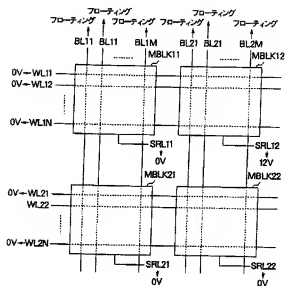
【図9】



【図10】



【図13】



フロントページの続き

(51)Int. Cl.⁶

H 0 1 L 27/115

21/8247

29/788

29/792

識別記号 序内整理番号

F I

技術表示箇所

H 0 1 L 27/10

29/78

4 3 4

3 7 1

DIALOG(R) File 351:Derwent WPI
(c) 2002 Thomson Derwent. All rts. reserv.

010829383 **Image available**

WPI Acc No: 1996-326335/199633

XXPX Acc No: N96-274846

Semiconductor non-volatile memory e.g. flash EEPROM - rewrites data
stored in evacuation area into flash memory array

Patent Assignee: SONY CORP (SONY)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 8147988	A	19960607	JP 94283779	A	19941117	199633 B

Priority Applications (No Type Date): JP 94283779 A 19941117

Patent Details:

Patent No Kind Lan Pg Main IPC Filing Notes

JP 8147988 A 12 G11C-016/06

Abstract (Basic): JP 8147988 A

The memory has a first operation circuit (34) which obtains the critical electric charge holding time of memory cell. This is done based on the information on number of accumulation rewritings stored in a register (31). A second operation circuit (35) obtains the progress time after last rewriting. This is done based on the information on last rewriting time stored in a first register (32) and a system stored in a second register (33). A comparator circuit (38) compares the critical electric charge holding time and the progress time.

Based on this comparison, a judgment is made regarding whether a refresh operation should be performed or not. During a refresh operation, the data of a flash memory array (2) is evacuated to a memory data evacuation area (39) temporarily. The erasure of the data in the memory array is performed. The data stored in the evacuation area is finally rewritten in the memory array.

ADVANTAGE - Prevents aggravation of electric charge holding characteristic after repetitive rewriting. Improves reliability and performance.

Dwg. 6/15

Title Terms: SEMICONDUCTOR; NON; VOLATILE; MEMORY ; FLASH ; EEPROM ;
REWRITING; DATA; STORAGE; EVACUATE; AREA; FLASH ; MEMORY ; ARRAY

Derwent Class: U13; U14

International Patent Class (Main): G11C-016/06

International Patent Class (Additional): H01L-021/822; H01L-021/8247;

H01L-027/04; H01L-027/115; H01L-029/788; H01L-029/792

File Segment: EPI